

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

WONJU CHO, ET AL.

Application No.:

Filed:

For: **MOSFET DEVICE WITH
NANOSCALE CHANNEL AND
METHOD OF MANUFACTURING
THE SAME**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

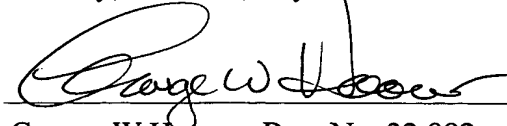
Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	2003-20478	1 April 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



George W Hoover, Reg. No. 32,992

Dated: December 30, 2003

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0020478
Application Number

출원 년 월 일 : 2003년 04월 01일
Date of Application APR 01, 2003

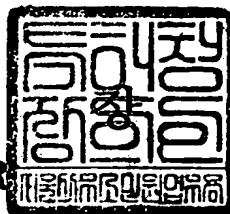
출원인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research Institute



2003 년 05 월 28 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2003.04.01
【국제특허분류】	H01L
【발명의 명칭】	초미세 채널을 가지는 MOSFET 소자 및 그 제조 방법
【발명의 영문명칭】	MOSFET device having nano-scale gate length and method for manufacturing the same
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2001-038378-6
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2001-038396-8
【발명자】	
【성명의 국문표기】	조원주
【성명의 영문표기】	CHO, Won Ju
【주민등록번호】	670713-1696619
【우편번호】	305-325
【주소】	대전광역시 유성구 노은동 열매마을 9단지 금성백조아파트 910동 903 호
【국적】	KR
【발명자】	
【성명의 국문표기】	이성재
【성명의 영문표기】	LEE, Seong Jae
【주민등록번호】	571028-1119811

【우편번호】	305-345
【주소】	대전광역시 유성구 신성동 대림아파트 106동 1106호
【국적】	KR
【발명자】	
【성명의 국문표기】	양종헌
【성명의 영문표기】	YANG, Jong Heon
【주민등록번호】	770924-1408816
【우편번호】	302-223
【주소】	대전광역시 서구 탄방동 511-49
【국적】	KR
【발명자】	
【성명의 국문표기】	오지훈
【성명의 영문표기】	OH, Ji Hun
【주민등록번호】	761119-1932217
【우편번호】	305-345
【주소】	대전광역시 유성구 신성동 161-8번지 102호
【국적】	KR
【발명자】	
【성명의 국문표기】	임기주
【성명의 영문표기】	IM, Ki Ju
【주민등록번호】	690415-1780822
【우편번호】	302-283
【주소】	대전광역시 서구 월평3동 황실타운 102동 701호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	4 면 4,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	15 항 589,000 원

【합계】	622,000 원
【감면사유】	정부출연연구기관
【감면후 수수료】	311,000 원
【기술이전】	
【기술양도】	희망
【실시권 허여】	희망
【기술지도】	희망
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

고상 확산법에 의하여 형성된 얇은 확장 영역 및 깊은 접합 영역으로 구성되는 소스/드레인 영역을 갖추고 극미세 채널을 가지는 SOI MOSFET 소자 및 그 제조 방법에 관하여 개시한다. 본 발명에 따른 MOSFET 소자의 제조 방법에서는 서로 다른 불순물로 도핑된 제1 및 제2 실리콘 산화막을 이용하여 소스/드레인 영역을 구성하는 얇은 확장 영역 및 깊은 접합 영역을 동시에 형성한다. 제2 불순물이 도핑된 제2 실리콘 산화막의 두께 및 식각량을 조절함으로써 소자의 실효 채널 길이를 감소시킬 수 있다. 게이트 전극을 형성하기 전에 소스/드레인 영역을 기판에 미리 형성하므로 채널에서의 불순물 분포의 제어가 용이하다. 소스/드레인 영역의 불순물 활성화 공정이 생략될 수 있으므로 소자의 문턱전압 변동을 방지할 수 있고, 고체 상태에서 불순물을 확산시키기 때문에 기판의 결정 결함이 발생되지 않으며, 따라서 접합을 통한 누설 전류를 줄일 수 있다.

【대표도】

도 12

【색인어】

MOSFET, 극미세 채널, 고상 확산법, 얇은 확장 영역, 깊은 접합 영역

【명세서】

【발명의 명칭】

초미세 채널을 가지는 MOSFET 소자 및 그 제조 방법 {MOSFET device having nano-scale gate length and method for manufacturing the same}

【도면의 간단한 설명】

도 1 내지 도 12는 본 발명의 바람직한 실시예에 따른 MOSFET 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

10: 단결정 기판, 12: 매몰 산화층, 14: 단결정 실리콘층, 20: 제1 실리콘 산화막, 20a: 제1 실리콘 산화막 패턴, 22: 포토레지스트 패턴, 24: 홀, 30: 제2 도전형의 불순물, 32: 이온 주입 영역, 40: 제2 실리콘 산화막, 40a: 제2 실리콘 산화막 스페이서, 40b: 외측벽, 42: 깊은 접합 영역, 44: 얇은 확장 영역, 50: 절연막, 50a: 게이트 절연막, 60: 도전층, 60a: 게이트 전극, 70: 층간절연막, 72, 74: 콘택홀, 82, 84: 배선.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<4> 본 발명은 MOSFET (metal-oxide-semiconductor field effect transistor) 소자 및 그 제조 방법에 관한 것으로, 특히 초미세 채널을 가지는 SOI MOSFET 소자 및 그 제조 방법에 관한 것이다.

<5> 실리콘 반도체 소자 기술이 발전함에 따라 저전력화, 고집적화, 및 초고속 동작 특성을 얻기 위하여 반도체 소자의 크기가 점차 감소되고 있다. 특히, 실리콘 반도체 소자의 대부분을 차지하고 있는 금속/절연막/반도체 (MOS) 소자 기술은 채널 길이의 단축, 소스 및 드레인 접합 깊이의 감소, 그리고 게이트 절연막 두께의 감소가 필수적이다. 또한, 동일 크기의 소자에서도 구동 전류의 증가와 누설 전류의 감소를 통한 소자 특성의 고성능화를 달성해야 한다.

<6> 기존의 공정에 의하여 제작되는 미세 크기의 트랜지스터는 채널 길이를 줄이기 위하여 매우 엄격한 공정 조건과 고가의 공정 장비를 필요로 한다. 즉, 나노미터 크기의 전도 채널을 형성하기 위해서는 종래의 포토리소그래피 공정으로는 불가능하여 전자선 직접 묘화 방법, EUV 노광 방법, 또는 X선 노광 방법 등과 같은 새로운 패턴 형성 기술을 사용해야 한다. 따라서, 실리콘 소자의 제조 비용이 상승하고, 대량 생산에 어려움이 많이 따른다. 그리고, 종래 기술에서 소스 및 드레인을 형성하기 위하여 이용하였던 이온 주입 또는 플라즈마 도핑과 같은 기술은 매우 얇은 접합 형성에 어려움이 있을 뿐 만 아니라, 이온 주입에 따른 기판 결함이 야기되므로 소자의 특성이 열화되며, 고가의 접합 형성 장비가 필요하다. 또한, 소자 크기의 감소에 따라 게이트 절연막의 두께도 감소되며, 이로 인하여 증가되는 게이트 누설 전류도 점차 큰 문제로 대두되고 있다. 이와 같은 문제를 해결하기 위해서 고유전 물질을 게이트 절연막으로 사용하려는 연구가 진행되고 있으나, 종래의 트랜지스터 소자 제조 기술에서는 게이트 절연막이 먼저 형성되고 그 후에 소스 및 드레인이 형성되기 때문에 후속의 활성화 열처리 공정이 제한을 받는다. 또한, SOI

기판이 아닌 단결정 실리콘 재료를 이용하여 나노미터 크기의 미세 소자를 제작하는 경우에는 소스 및 드레인의 얇은 접합 형성에 어려움이 있고, 소자의 신뢰성 확보 및 소자 간의 전기적인 분리 확보, 불순물 확산층의 도핑 농도가 증가함에 따른 접합 용량의 증가와 같은 심각한 문제점이 있다.

<7> 이에 따라, 한 가지 대안으로서 미합중국 특허 제6,033,963호에서는 대체 게이트(replacement gate) 공정을 이용하여 CMOS 소자의 메탈 게이트를 형성하는 방법이 제안되었다. 그러나, 대체 게이트 구조는 그 제조 공정이 매우 복잡하고, 게이트와 소스/드레인의 셀프얼라인(self-align) 공정에 어려움이 있다.

<8> MOSFET 소자를 제조하기 위한 다른 종래 기술의 예로서, 미합중국 특허 제6,225,173 B1호에는 다마신(damascene) 공정을 이용하여 울트라셀로우(ultra-shallow) 소스/드레인 접합을 가지는 MOSFET을 제조하는 방법이 개시되어 있다. 그러나, 이 특허에서는 절연막을 제거하기 위하여 CMP 공정을 이용하는 등 공정이 복잡하고 고가의 공정 단가가 요구되는 단점이 있다.

<9> 따라서, 상기와 같은 종래 기술에서의 문제들을 해결하고 고집적도 및 고성능의 집적 회로를 실현하기 위한 새로운 미세 소자 제조 공정이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<10> 본 발명의 목적은 초미세 소자 제조시에 발생하는 종래 기술의 문제점들을 해결하기 위한 것으로, 높은 신뢰성 및 집적도를 가질 수 있는 초미세 채널을 가지는 MOSFET 소자를 제공하는 것이다.

<11> 본 발명의 다른 목적은 소자 간의 전기적 분리 특성이 뛰어난 SOI (silicon-on-insulator) 기판 재료를 이용하여 높은 신뢰성 및 집적도를 가질 수 있는 초미세 채널을 가지는 MOSFET 소자를 제조하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<12> 상기 목적을 달성하기 위하여, 본 발명에 따른 MOSFET 소자는 SOI (silicon-on-insulator) 기판 표면의 단결정 실리콘층에 형성된 채널 영역과, 상기 단결정 실리콘층에 형성된 깊은 접합 영역 및 얇은 확장 영역으로 구성되는 소스/드레인 영역을 포함한다. 상기 단결정 실리콘층 위에는 상기 깊은 접합 영역과 접하도록 제1 실리콘 산화막 패턴이 형성되어 있다. 상기 제1 실리콘 산화막 패턴은 제1 도전형의 제1 불순물이 제1 농도로 도핑되어 있다. 또한, 상기 단결정 실리콘층 위에는 상기 얇은 확장 영역과 접하도록 제2 실리콘 산화막 스페이서가 형성되어 있다. 상기 제2 실리콘 산화막 스페이서는 제1 도전형의 제2 불순물이 상기 제1 농도와는 다른 제2 농도로 도핑되어 있다. 상기 채널 영역 위에는 대략 "T"자형 단면을 가지는 게이트 전극이 형성되어 있고, 상기 채널 영역과 상기 게이트 전극과의 사이에는 게이트 절연막이 개재되어 있다. 상기 제1 농도는 상기 제2 농도보다 더 크다.

<13> 상기 제2 실리콘 산화막 스페이서는 상기 제1 실리콘 산화막 패턴의 측벽에 접하도록 형성되어 있으며, 상기 채널 영역의 길이를 한정하는 외측벽을 가진다.

<14> 상기 게이트 전극은 제1 실리콘 산화막 패턴 및 제2 실리콘 산화막 스페이서 위에 형성되어 있다.

- <15> 바람직하게는, 상기 제1 불순물 및 상기 제2 불순물은 각각 서로 다른 종류의 불순물로 이루어진다.
- <16> 상기 다른 목적을 달성하기 위하여, 본 발명에 따른 MOSFET 소자의 제조 방법에서는 상면에 단결정 실리콘층이 노출되어 있는 SOI 기판상에 상기 단결정 실리콘층의 일부 영역을 노출시키는 홀을 가지고 제1 도전형의 제1 불순물이 제1 농도로 도핑되어 있는 제1 실리콘 산화막 패턴을 형성한다. 상기 제1 실리콘 산화막 패턴의 측벽에 제1 도전형의 제2 불순물이 상기 제1 농도와는 다른 제2 농도로 도핑된 제2 실리콘 산화막 스페이서를 형성한다. 상기 제1 실리콘 산화막 패턴 및 상기 제2 실리콘 산화막 스페이서로부터 상기 제1 불순물 및 제2 불순물을 각각 확산시켜 상기 단결정 실리콘층에 깊은 접합 영역 및 얇은 확장 영역으로 구성되는 소스/드레인 영역을 형성한다. 상기 단결정 실리콘층의 노출된 일부 영역 위에 게이트 절연막을 형성한다. 상기 게이트 절연막 위에 대략 "T"자형 단면을 가지는 게이트 전극을 형성한다.
- <17> 상기 제2 실리콘 산화막 스페이서는 상기 제1 실리콘 산화막 패턴보다 더 작은 농도의 제2 불순물로 도핑된다.
- <18> 상기 제2 실리콘 산화막 스페이서를 형성하기 위하여, 먼저 상기 제1 실리콘 산화막 패턴의 상면 및 측벽과 상기 단결정 실리콘층의 노출된 일부 영역을 완전히 덮도록 상기 제2 불순물이 상기 제2 농도로 도핑된 제2 실리콘 산화막을 형성한다. 그 후, 상기 제2 실리콘 산화막 스페이서가 남도록 상기 제2 실리콘 산화막의 일부를 건식 식각 방법에 의하여 제거한다.

- <19> 상기 소스/드레인 영역을 형성하는 단계에서는 상기 제1 불순물 및 제2 불순물을 확산시키기 위하여 상기 제1 실리콘 산화막 패턴 및 상기 제2 실리콘 산화막 스페이서를 급속 열처리한다.
- <20> 본 발명에 따른 MOSFET 소자의 제조 방법에서는 상기 제1 실리콘 산화막 패턴을 형성한 후, 상기 단결정 실리콘층의 노출된 일부 영역을 제1 도전형과 반대인 제2 도전형의 불순물로 도핑하여 문턱전압 조절용 이온 주입 영역을 형성하는 단계를 더 포함할 수 있다. 상기 문턱전압 조절용 이온 주입 영역을 형성하는 단계에서는 상기 제1 실리콘 산화막 패턴 위에 형성된 포토레지스트 패턴을 이온주입 마스크로 사용하여 상기 제2 도전형의 불순물 이온을 주입한다.
- <21> 본 발명에 의하면, 고체 상태의 확산원에서 불순물을 확산시켜 얇은 확장 영역 및 깊은 접합 영역으로 구성되는 소스/드레인 영역을 형성하므로 기판의 결정 결함이 전혀 발생되지 않으며, 접합을 통한 누설 전류를 줄일 수 있다. 또한, 게이트 절연막 형성 이후의 후속 열처리 공정 온도를 낮춤으로서 채널에서의 불순물 농도의 변화를 최소화시켜서 소자의 문턱전압 변동을 줄일 수 있다. 따라서, 단채널 효과에 의한 소자 특성의 열화를 억제할 수 있으며 소자의 신뢰성을 확보할 수 있다. 또한, 본 발명에 따른 MOSFET 제조 방법에서는 후속 열처리 공정의 저온화가 가능하므로 고유전 상수를 가지는 절연막을 적용하는 데 유리하며, 다결정 실리콘 뿐 만 아니라 금속으로 이루어지는 게이트 전극을 형성하는 데 매우 유리하다. 따라서, 본 발명에 의한 MOSFET 소자 및 그 제조 방법은 저전력 및 고속 동작이 필요한 고성능, 고집적의 초미세 채널을 가지는 SOI 전계효과 트랜지스터 소자 및 회로를 구현하는 데 매우 유리하게 적용될 수 있다.

- <22> 다음에, 본 발명의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.
- <23> 다음에 예시하는 실시예는 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 첨부 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 "위"에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.
- <24> 도 1 내지 도 12는 본 발명의 바람직한 실시예에 따른 MOSFET 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- <25> 도 1을 참조하면, 단결정 기판(10)상에 매몰 산화층(12) 및 단결정 실리콘층(14)이 형성되어 있는 SOI 기판을 준비한다.
- <26> 도 2를 참조하면, 상기 SOI 기판의 단결정 실리콘층(14)상에 제1 도전형, 예를 들면 n형의 제1 불순물을 고농도로 도핑시킨 제1 실리콘 산화막(20)을 증착한다. 상기 제1 불순물로서 예를 들면 인(P)을 사용한다.
- <27> 상기 제1 실리콘 산화막(20)의 형성 방법으로서 CVD (chemical vapor deposition), 스퍼터링, 스핀 코팅 방법 등을 사용할 수 있다.
- <28> 도 3을 참조하면, 상기 제1 실리콘 산화막(20) 위에 포토레지스트 패턴(22)을 형성하여 채널이 형성될 부분을 정의하고, 상기 포토레지스트 패턴(22)을 식각 마스크로 하

여 건식 식각 방법에 의하여 상기 제1 실리콘 산화막(20)을 식각하여, 상기 단결정 실리콘층(14)의 일부 영역을 노출시키는 홀(24)을 가지는 제1 실리콘 산화막 패턴(20a)을 형성한다. 상기 홀(24)을 통하여 상기 단결정 실리콘층(14)에서 채널이 형성될 부분이 노출된다.

<29> 상기 제1 실리콘 산화막(20)의 건식 식각 공정은 실리콘막에 대한 산화막의 식각 선택비가 우수한 조건하에서 비등방성 식각이 가능한 건식 식각 방법으로 실시한다. 이때, 식각 가스로서 예를 들면 CF_4 , CHF_3 , H_2 등을 사용할 수 있다.

<30> 도 4를 참조하면, 상기 포토레지스트 패턴(22)을 이온주입 마스크로 하여 상기 단결정 실리콘층(14)에 상기 제1 도전형과 반대인 제2 도전형의 불순물(30), 예를 들면 p형 불순물을 이온주입하여 상기 홀(24)을 통하여 노출되는 상기 단결정 실리콘층(14)의 일부 영역에 국부적으로 상기 제2 도전형의 불순물(30)로 도핑된 이온 주입 영역(32)을 형성한다. 상기 이온 주입 영역(32)은 문턱전압 조절 및 단채널 효과를 억제하기 위하여 형성한 것이다.

<31> 도 5를 참조하면, 상기 포토레지스트 패턴(22)을 제거한 후, 상기 제1 실리콘 산화막 패턴(20a) 보다 낮은 불순물 농도를 가지도록 제1 도전형의 제2 불순물을 저농도로 도핑시킨 제2 실리콘 산화막(40)을 형성한다. 상기 제2 실리콘 산화막(40)은 상기 제1 실리콘 산화막 패턴(20a)의 상면 및 측벽과 상기 단결정 실리콘층(14)의 노출된 일부 영역을 완전히 덮도록 형성된다. 상기 제2 실리콘 산화막(40)에 도핑되는 제2 불순물로서 상기 제1 불순물과는 서로 다른 것을 사용한다. 예를 들면, 상기 제2 불순물로서 비소(As)를 사용한다.

- <32> 상기 제2 실리콘 산화막(40)의 두께(d)는 소자의 원하는 동작 특성과 후속 공정에서 형성하고자 하는 채널 길이를 고려하여 결정한다.
- <33> 도 6을 참조하면, 상기 제2 실리콘 산화막(40)의 일부를 에치백 방법에 의하여 제거하여 상기 제1 실리콘 산화막 패턴(20a)의 측벽에 제2 실리콘 산화막 스페이서(40a)를 형성한다. 상기 제2 실리콘 산화막 스페이서(40a)의 폭(W)은 소자의 원하는 동작 특성을 고려하여 결정한다. 상기 제2 실리콘 산화막 스페이서(40a)의 외측벽(40b)에 의하여 상기 이온 주입 영역(32) 내에서의 채널 영역 길이가 한정된다.
- <34> 상기 제2 실리콘 산화막(40)의 식각 공정은 실리콘막에 대한 산화막의 식각 선택비가 우수한 조건하에서 비등방성 식각이 가능한 건식 식각 방법으로 실시한다. 여기서, 식각 가스로서 예를 들면 CF_4 , CHF_3 , H_2 등을 사용할 수 있다.
- <35> 도 7을 참조하면, 급속 열처리 공정(rapid thermal process)을 이용하여 상기 제1 실리콘 산화막 패턴(20a) 및 제2 실리콘 산화막 스페이서(40a)를 열처리한다. 그 결과, 상기 제1 실리콘 산화막 패턴(20a) 및 제2 실리콘 산화막 스페이서(40a)로부터 제1 불순물 및 제2 불순물이 각각 확산되어 상기 단결정 실리콘층(14)에 소스/드레인 영역을 구성하는 깊은 접합 영역(42) 및 얇은 확장 영역(44)이 동시에 형성된다. 이 때, 상기 이온 주입 영역(32)에 주입된 불순물 이온이 활성화되며, 소자의 문턱전압이 결정된다.
- <36> 도 8을 참조하면, 상기 소스/드레인 영역이 형성된 결과물 전면에 절연 물질을 증착하여 상기 이온 주입 영역(32)으로부터 상기 제2 실리콘 산화막 스페이서(40a)의 상부 및 상기 제1 실리콘 산화막 패턴(20a)의 상부까지 연장되는 절연막(50)을 형성한다. 상

기 절연막(50)은 상기 이온 주입 영역(32)에 접하는 게이트 절연막(50a)을 구성하게 된다.

<37> 상기 게이트 절연막(50a)은 저온에서 열산화된 실리콘 산화막, 오존 산화막, CVD 방법으로 형성된 실리콘 질화막, CVD 방법으로 형성된 실리콘 산화막, 및 이 기술 분야에서 널리 알려져 있는 고유전막을 포함하는 모든 절연 재료중에서 선택되는 물질로 형성될 수 있다.

<38> 도 9를 참조하면, 상기 게이트 절연막(50a) 위에 게이트 전극 형성용 도전층(60)을 형성한다. 상기 도전층(60)은 예를 들면 도전성의 다결정 실리콘층 또는 금속층으로 이루어진다.

<39> 도 10을 참조하면, 포토리소그래피 공정에 의하여 상기 도전층(60)을 패터닝하여 게이트 전극(60a)을 형성한다. 그 결과, 도 10에 도시한 바와 같이, 상기 게이트 전극(60a)은 상기 제1 실리콘 산화막 패턴(20a) 및 제2 실리콘 산화막 스페이서(40a)의 위에서 대략 "T"자형 단면을 가지도록 형성된다. 그리고, 상기 게이트 절연막(50a)은 상기 제1 실리콘 산화막 패턴(20a)과 상기 게이트 전극(60a)과의 사이, 및 상기 제2 실리콘 산화막 스페이서(40a)와 상기 게이트 전극(60a)과의 사이까지 연장되어 있다.

<40> 도 11을 참조하면, 상기 게이트 전극(60a)이 형성된 결과물 위에 층간절연막(70)을 형성하여 트랜지스터의 상부에 형성되는 다른 소자 또는 배선 간을 분리시킨 후, 포토리소그래피 공정에 의해 상기 층간절연막(70), 절연막(50) 및 제1 실리콘 산화막 패턴(20a)을 차례로 식각하여 상기 소스/드레인 영역 및 게이트 전극(60a)을 각각 노출시키는 콘택 홀(72, 74)을 형성한다.

<41> 도 12를 참조하면, 상기 콘택홀(72, 74) 내에 도전 물질을 채워 배선(82, 84)을 형성함으로써 초미세 채널을 가지는 SOI MOSFET 소자를 완성한다.

【발명의 효과】

<42> 본 발명에 따른 MOSFET 소자의 제조 방법에서는 서로 다른 불순물로 도핑된 제1 및 제2 실리콘 산화막을 이용하여 소스/드레인 영역을 구성하는 얇은 확장 영역 및 깊은 접합 영역을 미리 형성한 후 게이트 전극을 형성한다. 따라서, 포토마스크 및 리소그래피 공정에 부담을 주지 않고도 나노미터 수준의 크기를 가지는 미세 채널을 쉽게 형성할 수 있다. 즉, 제2 불순물이 도핑된 제2 실리콘 산화막의 두께 및 식각량을 조절함으로써 소자의 실효 채널 길이를 감소시킬 수 있다. 또한, 제1 실리콘 산화막 패턴 및 제2 실리콘 산화막 스페이서로부터 제1 불순물 및 제2 불순물을 급속 열처리 방법에 의하여 각각 확산시킴으로써 얇은 확장 영역 및 깊은 접합 영역으로 구성되는 소스/드레인 영역을 형성하므로 울트라셀로우 접합 (ultra-shallow junction) 및 깊은 콘택 접합 (deep contact junction)을 동시에 형성시킬 수 있다.

<43> 종래의 이온 주입 방법에 의한 소스/드레인 형성 방법에서는 기판에 결정 결함 발생을 초래하여 누설 전류에 따른 심각한 문제를 야기하지만, 본 발명에서는 고체 상태의 확산원에서 불순물을 확산시키기 때문에 기판의 결정 결함이 전혀 발생되지 않으며, 따라서 접합을 통한 누설 전류를 줄일 수 있다.

<44> 또한, 본 발명에 따른 MOSFET 소자의 제조 방법에서는 게이트 절연막 형성 이후의 후속 열처리 공정 온도를 낮춤으로서 채널에서의 불순물 농도의 변화를 최소화시켜서 소자의 문턱전압 변동을 줄일 수 있다. 따라서, 단채널 효과에 의한 소자 특성의 열화를 억제할 수 있으며 소자의 신뢰성을 확보할 수 있다. 그리고, 후속 열처리 공정의 저온화

가 가능하므로 고유전 상수를 가지는 절연막을 적용하는 데 유리하며, 다결정 실리콘 뿐만 아니라 금속으로 이루어지는 게이트 전극을 형성하는 데 매우 유리한 소자 구조를 가진다.

<45> 따라서, 본 발명에 의한 MOSFET 소자 및 그 제조 방법은 저전력 및 고속 동작이 필요한 고성능, 고집적의 초미세 채널을 가지는 SOI 전계효과 트랜지스터 소자 및 회로를 구현하는 데 매우 유리하게 적용될 수 있다.

<46> 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

【특허청구범위】

【청구항 1】

SOI (silicon-on-insulator) 기판 표면의 단결정 실리콘층에 형성된 채널 영역과,
상기 단결정 실리콘층에 형성된 깊은 접합 영역 및 얇은 확장 영역으로 구성되는
소스/드레인 영역과,

상기 깊은 접합 영역과 접하도록 상기 단결정 실리콘층 위에 형성되고 제1 도전형
의 제1 불순물이 제1 농도로 도핑된 제1 실리콘 산화막 패턴과,

상기 얇은 확장 영역과 접하도록 상기 단결정 실리콘층 위에 형성되고 제1 도전형
의 제2 불순물이 상기 제1 농도와는 다른 제2 농도로 도핑된 제2 실리콘 산화막 스페이
서와,

상기 채널 영역 위에 형성되고 대략 "T"자형 단면을 가지는 게이트 전극과,

상기 채널 영역과 상기 게이트 전극과의 사이에 개재되어 있는 게이트 절연막을 포
함하는 것을 특징으로 하는 MOSFET 소자.

【청구항 2】

제1항에 있어서,

상기 제2 실리콘 산화막 스페이서는 상기 제1 실리콘 산화막 패턴의 측벽에 접하도
록 형성된 것을 특징으로 하는 MOSFET 소자.

【청구항 3】

제1항에 있어서,

상기 제2 실리콘 산화막 스페이서는 상기 채널 영역의 길이를 한정하는 외측벽을 가지는 것을 특징으로 하는 MOSFET 소자.

【청구항 4】

제1항에 있어서,

상기 게이트 전극은 제1 실리콘 산화막 패턴 및 제2 실리콘 산화막 스페이서 위에 형성되어 있는 것을 특징으로 하는 MOSFET 소자.

【청구항 5】

제1항에 있어서,

상기 제1 농도는 상기 제2 농도보다 더 큰 것을 특징으로 하는 MOSFET 소자.

【청구항 6】

제1항에 있어서,

상기 제1 불순물 및 상기 제2 불순물은 각각 서로 다른 종류의 불순물로 이루어지는 것을 특징으로 하는 MOSFET 소자.

【청구항 7】

제6항에 있어서,

상기 제1 불순물은 인(P)이고, 상기 제2 불순물은 비소(As)인 것을 특징으로 하는 MOSFET 소자.

【청구항 8】

제1항에 있어서,

상기 게이트 절연막은 상기 제1 실리콘 산화막 패턴과 상기 게이트 전극과의 사이, 및 상기 제2 실리콘 산화막 스페이서와 상기 게이트 전극과의 사이까지 연장되어 있는 것을 특징으로 하는 MOSFET 소자.

【청구항 9】

상면에 단결정 실리콘층이 노출되어 있는 SOI 기판상에 상기 단결정 실리콘층의 일부 영역을 노출시키는 홀을 가지고 제1 도전형의 제1 불순물이 제1 농도로 도핑되어 있는 제1 실리콘 산화막 패턴을 형성하는 단계와,

상기 제1 실리콘 산화막 패턴의 측벽에 제1 도전형의 제2 불순물이 상기 제1 농도와는 다른 제2 농도로 도핑된 제2 실리콘 산화막 스페이서를 형성하는 단계와,

상기 제1 실리콘 산화막 패턴 및 상기 제2 실리콘 산화막 스페이서로부터 상기 제1 불순물 및 제2 불순물을 각각 확산시켜 상기 단결정 실리콘층에 깊은 접합 영역 및 얇은 확장 영역으로 구성되는 소스/드레인 영역을 형성하는 단계와,

상기 단결정 실리콘층의 노출된 일부 영역 위에 게이트 절연막을 형성하는 단계와,

상기 게이트 절연막 위에 대략 "T"자형 단면을 가지는 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 MOSFET 소자의 제조 방법.

【청구항 10】

제9항에 있어서,

상기 제2 실리콘 산화막 스페이서는 상기 제1 실리콘 산화막 패턴보다 더 작은 농도의 제2 불순물로 도핑된 것을 특징으로 하는 MOSFET 소자의 제조 방법.

【청구항 11】

제9항에 있어서,

상기 제2 실리콘 산화막 스페이서를 형성하는 단계는

상기 제1 실리콘 산화막 패턴의 상면 및 측벽과 상기 단결정 실리콘층의 노출된 일부 영역을 완전히 덮도록 상기 제2 불순물이 상기 제2 농도로 도핑된 제2 실리콘 산화막을 형성하는 단계와,

상기 제2 실리콘 산화막 스페이서가 남도록 상기 제2 실리콘 산화막의 일부를 건식 식각 방법에 의하여 제거하는 단계를 포함하는 것을 특징으로 하는 MOSFET 소자의 제조 방법.

【청구항 12】

제9항에 있어서,

상기 소스/드레인 영역을 형성하는 단계에서는 상기 제1 불순물 및 제2 불순물을 확산시키기 위하여 상기 제1 실리콘 산화막 패턴 및 상기 제2 실리콘 산화막 스페이서를 급속 열처리 방법으로 열처리하는 것을 특징으로 하는 MOSFET 소자의 제조 방법.

【청구항 13】

제9항에 있어서,

상기 게이트 절연막은 상기 단결정 실리콘층의 노출된 일부 영역으로부터 상기 제2 실리콘 산화막 스페이서의 상부 및 상기 제1 실리콘 산화막 패턴의 상부까지 연장되도록 형성되는 것을 특징으로 하는 MOSFET 소자의 제조 방법.

【청구항 14】

제9항에 있어서,

상기 제1 실리콘 산화막 패턴을 형성한 후, 상기 단결정 실리콘층의 노출된 일부 영역을 제1 도전형과 반대인 제2 도전형의 불순물로 도핑하여 문턱전압 조절용 이온 주입 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 MOSFET 소자의 제조 방법.

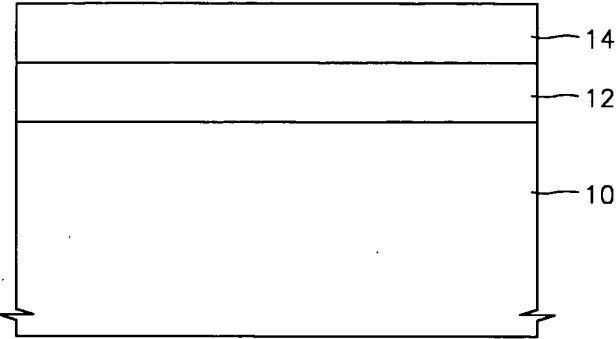
【청구항 15】

제14항에 있어서,

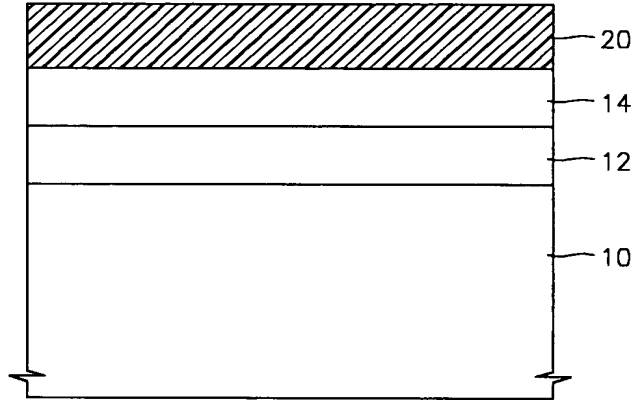
상기 문턱전압 조절용 이온 주입 영역을 형성하는 단계에서는 상기 제1 실리콘 산화막 패턴 위에 형성된 포토레지스트 패턴을 이온주입 마스크로 사용하여 상기 제2 도전형의 불순물 이온을 주입하는 것을 특징으로 하는 MOSFET 소자의 제조 방법.

【도면】

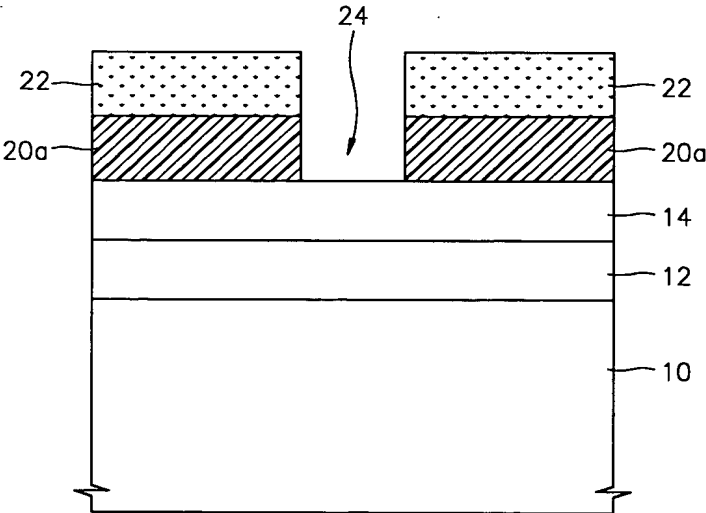
【도 1】



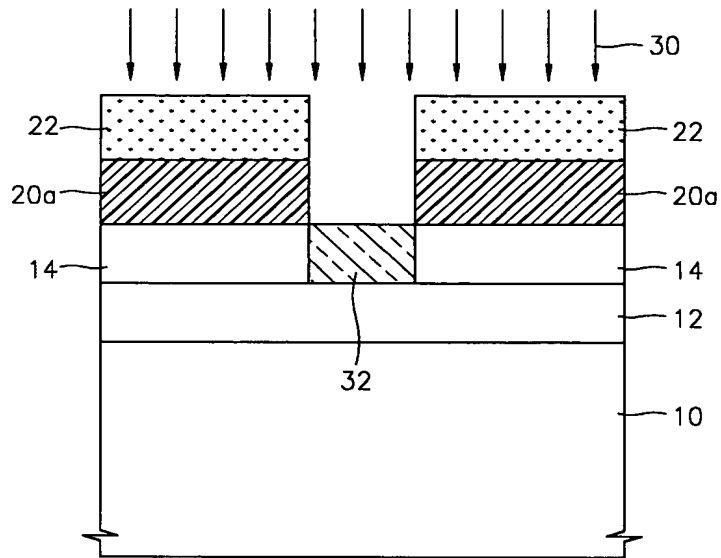
【도 2】



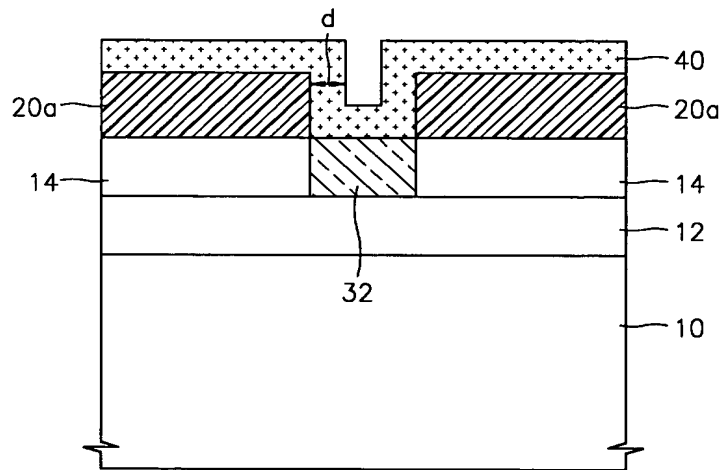
【도 3】



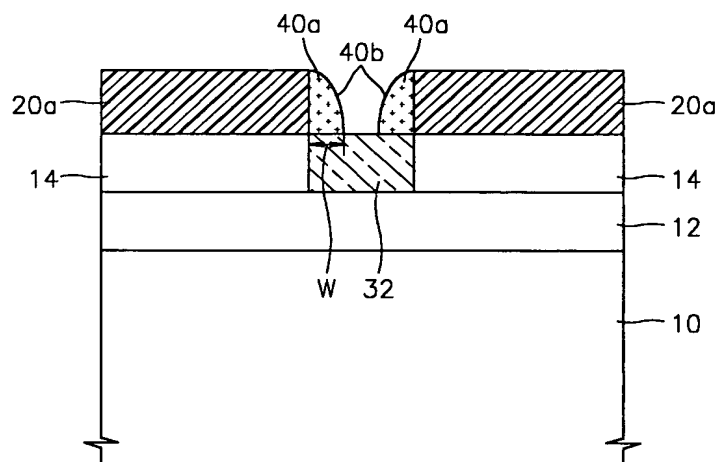
【도 4】



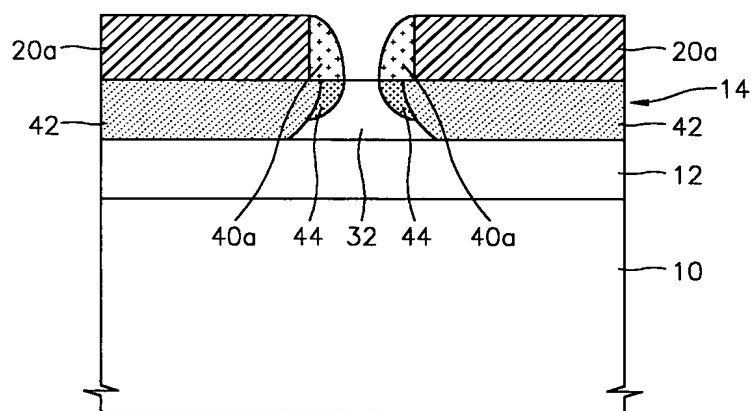
【도 5】



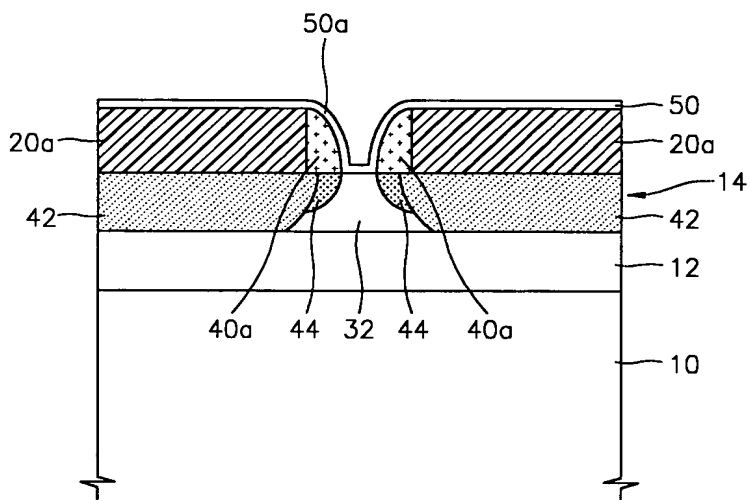
【도 6】



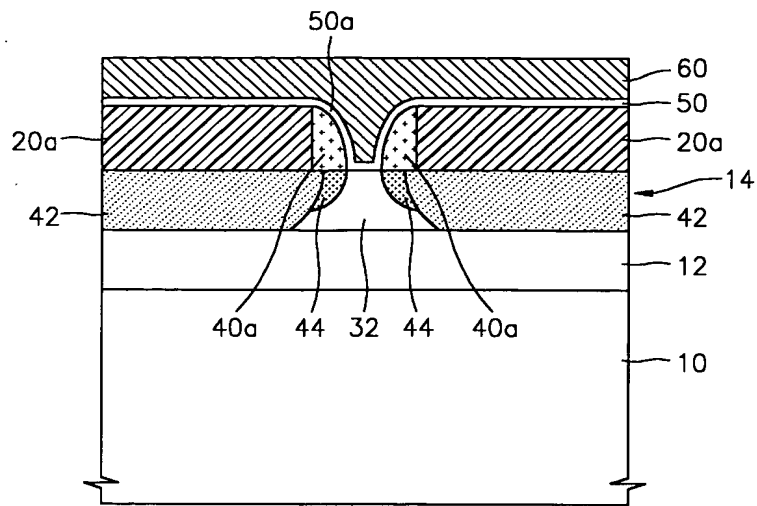
【도 7】



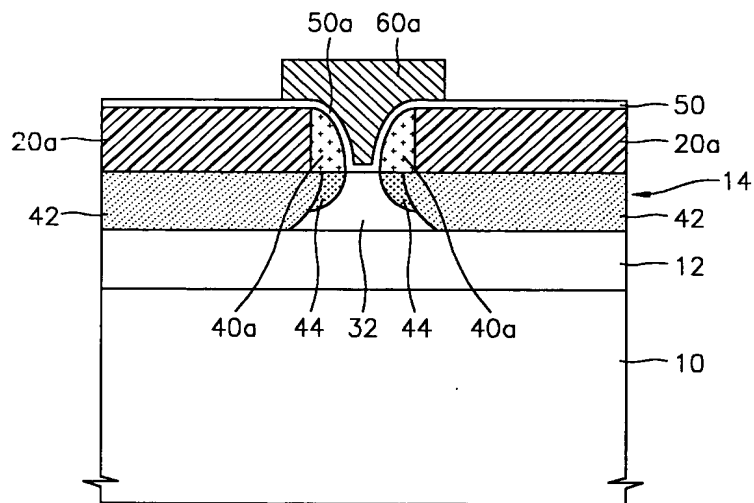
【도 8】



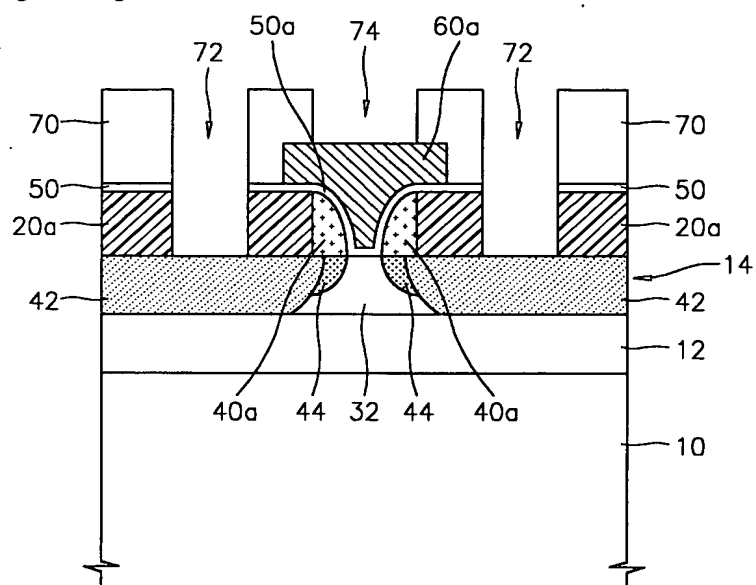
【도 9】



【도 10】



【도 11】



【도 12】

